

NV32F101x 与 NV32F100x 功能对比

1. NV32F101x 对比 NV32F100x 新增功能概述:

- 一、新增直接内存访问 (DMA) 及多通道复用管理器模块 (DMAMUX)。
- 二、新增协处理器 CORDIC 模块。
- 三、Flash 大小由 128K 修改为 32K, 非易失存储(NVR)修改为 3K, 增加 FLASH 缓存控制器。
- 四、新增一路 ADC, 两路 ADC 各有 8 个外部输入通道。
- 五、新增一路 IRQ, 共两路 IRQ。
- 六、新增一路 UART, 共四路 UART。
- 七、SPI 模块增加 64 位数据 FIFO。
- 八、ICS 模块 FLL 倍频系数为 1024/1280/1536/1920。
- 九、SIM 模块 BUSDIV 分频系数 1/2/3/4。
- 十、ETM 模块新增正交解码。通道有所变化
- 十一、WDOG 模块, 寄存器由原先的 8 位修改为 16, 新增一个看门狗刷新寄存器。

2、NV32F101x 对比 NV32F100x 模块更新细节

2.1 SIM 模块

2.1.1 系统选项寄存器 (SIM_SOPT)

对比 NV32F100x 新增 ADC1 硬件触发源选择位(7~6), 不可屏蔽中断 (NMI) 默认禁用, NMI 中断信号输入引脚由 PB4 变更为 PE2

2.1.2 引脚选择寄存器 (SIM_PINSEL)

对比 NV32F100x 删去 ETM1 模块的引脚映射选择位, ETM1 模块引脚不支持引脚映射, 新增 SPI1 模块引脚映射选择位。

2.1.3 系统时钟选通控制寄存器 (SIM_SCGC)

该寄存器增加新增模块的时钟选通控制位

2.1.4 总选时钟分频寄存器 (SIM_BUSDIV)

该寄存器新增一位, 可将从 ICSOUTCLK 输出的系统时钟进行 1/2/3/4 四种分频之后作为总线时钟

2.2 ICS 模块

2.2.1 ICS 控制寄存器 1 (ICS_C1)

RDIV 位对应外部输入时钟分频系数有所更改, 外部输入时钟输入分频更灵活。

2.2.2 ICS 控制寄存器 2 (ICS_C2)

在 ICS 控制寄存器 2 (ICS_C2) 新增 2 位用于 FLL 倍频系数选择。NV32FL101x 倍频环有 1024/1280/1536/1920 四种倍频系数可选, 默认 1280 倍频。

2.3 存储模块

FLASH 大小由 128K 变更为 32K, 非易失性存储区域为 3K, FLASH 支持按字节、半字、字写入。
新增 FLASH 缓存, FLASH 缓存控制器位于 MCM 模块。

2.4 ADC 模块

新增 1 路 ADC, 两路 ADC 各有 8 个外部输入通道, ADC 输入通道选择有所改动

ADC 的采样速率为 1Msps。可选择 ADC 模块作为 DMA 搬运数据的硬件触发源，当 ADC 转换完成可触发 DMA 搬运数据。

2.5 WDOG 模块

WDOG 寄存器 NV32F100x 版本的 8 位，修改成 16 位，各寄存器的基址有所变动，新增看门狗刷新寄存器。

2.6 ETM 模块

ETM 模块新增正交解码功能，ETM0、ETM1、ETM2 的通道数分别为 2、4、8、ETM 模块的各通道均可作为 DMA 的硬件触发源，通道匹配事件可触发 DMA 搬运数据。

2.7 通信模块

2.7.1 SPI

SPI 模块新增 64 位 FIFO，模块寄存器有所增加，SPI 接收和发送事件均可作为 DAM 的硬件触发源

2.7.2 I2C

I2C 可作为 DMA 的硬件触发源

2.7.3 UART

新增 1 路 UART3，共 4 路 UART，UART 的接收和发送事件均可作为 DMA 硬件触发源

2.8 IRQ

新增加一路 IRQ，两路 IRQ 共用一个中断向量

2.9 管脚分配

除 NMI 中断输入引脚由 PB4 修改为 PE2，NV32F101x 兼容 NV32F100x